

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

011904079 **Image available**

WPI Acc No: 1998-320989/199828

XRAM Acc No: C98-098607

XRPX Acc No: N98-251014

Manufacturing micro device and IC with high packing density - comprises forming first dielectric on semiconductor wafer and planarising the dielectric, etching the first dielectric, etc.

Patent Assignee: VANGUARD INT SEMICONDUCTOR CORP (VANG-N)

Inventor: TZENG H

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
TW 324856	A	19980111	TW 96110445	A	19960827	199828 B

Priority Applications (No Type Date): TW 96110445 A 19960827

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
TW 324856	A	33	H01L-027/108	

Abstract (Basic): TW 324856 A

The method of polysilicon structure consists of (1) n semiconductor wafer forming first dielectric, and planarising the above first dielectric; (2) by lithography technology and etch technology etching the above first dielectric to form hole, in which the above etching stops on semiconductor wafer, and the above hole width is equal to lithography resolution limit; (3) forming one first polysilicon and second dielectric, in which the above first polysilicon fills the above hole; (4) by lithography technology on the above hole forming first photoresist pattern; (5) by lithography technology laterally etching the above first photoresist pattern, making the above first photoresist pattern width less than lithography resolution limit; (6) by etch technology anisotropically etching the above second dielectric except the area capped by the above first photoresist pattern, in which the above etching stops on the above first polysilicon; (7) removing the above first photoresist pattern; (8) with the above second dielectric as oxidization mask, in oxygen-containing high temperature environment oxidising the above first polysilicon in order to form poly-oxide on region except the above second dielectric; (9) removing the above second dielectric; (10) with the above poly-oxide as etching mask, by etch technology anisotropically etching the above first polysilicon to a certain depth; and (11) removing the above poly-oxide in order to form one deep trench on the above first polysilicon surface above the above hole, in which the above deep trench depth is less than minimum dimension of integrated circuit design rule, also less than lithography resolution limit.

Dwg.1/19

Title Terms: MANUFACTURE; MICRO; DEVICE; IC; HIGH; PACK; DENSITY; COMPRISE; FORMING; FIRST; DIELECTRIC; SEMICONDUCTOR; WAFER; PLANAR; DIELECTRIC; ETCH; FIRST; DIELECTRIC

Index Terms/Additional Words: INTEGRATED; CIRCUIT

Derwent Class: L03; U11; U13; U14

International Patent Class (Main): H01L-027/108

File Segment: CPI; EPI

中華民國專利公報資料庫 - 專利公報全文

本資料僅供參考, 所有資訊以經濟部智慧財產局專利公報為準。

(C) COPYRIGHT 2003 APIPA

專利公告號: 324856

專利公告日期: 19980111

國際專利分類: H01L27/108

專利申請案號: 85110445

專利申請日期: 19960827

公告卷數: 025 公告期數: 002

專利權類別: 發明

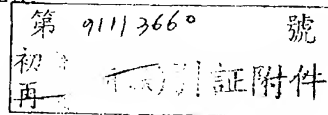
專利權證書號: 000000

專利名稱: 微小元件和高集積密度積體電路的製造方法

發明人名稱 (地址): 曾鴻輝 (新竹市中央路二八一巷二十五號五樓)

申請人名稱 (地址): 世界先進積體電路股份有限公司 (新竹科學工業園區新竹縣園區三路一二三號)

申請專利範圍:



1.一種『複晶矽結構』的形成方法,係包含下列步驟:

在半導體晶圓上(Semiconductor Wafer)形成『第一介電層』(First Dielectric),並平坦化所述『第一介電層』;

利用微影技術與蝕刻技術蝕去所述『第一介電層』以形成洞孔(Hole),所述蝕刻終止於『半導體晶圓』,所述『洞孔』之寬度等於微影解析的極限;

形成一層『第一複晶矽層』(First Polysilicon)和『第二介電層』(Second Dielectric),所述『第一複晶矽層』填滿所述『洞孔』;

利用微影技術在所述『洞孔』上方形成第一光阻圖案(First Photoresist Pattern);

利用蝕刻技術側向的(Lateral Etch)蝕去所述『第一光阻圖案』,使得所述『第一光阻圖案』之寬度小於微影解析的極限;

利用蝕刻技術垂直單向性的蝕去被所述『第一光阻圖案』覆蓋以外區域的所述『第二介電層』,所述蝕刻終止於所述『第一複晶矽層』;

去除所述『第一光阻圖案』;

利用所述『第二介電層』作為所述氧化保護罩,在含氧氣的高溫環境中氧化(Oxidized)所述『第一複晶矽層』以在所述『第二介電層』以外的區域形成複晶矽氧化層(Poly-Oxide);

去除所述『第二介電層』;

以所述『複晶矽氧化層』作為蝕刻保護罩,利用蝕刻技術『垂直單向性的』蝕去所述『第一複晶矽層』至一適當深度(To A Certain Depth);

去除所述『複晶矽氧化層』以在所述『洞孔』上方的所述『第一複晶矽層』表面形成一個深凹槽(Deep Trench),所述『深凹槽』之寬度小於積體電路設計準則的最小尺寸(Minimum Dimension),也小於微影解析的極限。

2.如申請專利範圍第1項所述之製造方法,其中所述『半導體晶圓』含有電性元件/電子元件(Electrical/Electronic Devices)和薄膜。

3.如申請專利範圍第1項所述之製造方法,其中所述『第一介電層』是由二氧化矽(Silicon Dioxide)組成。

4.如申請專利範圍第1項所述之製造方法,其中所述『第二介電層』是由二氧化矽(Silicon Nitride)組成。

5.如申請專利範圍第1項所述之製造方法,其中所述『第一複晶矽層』是由低壓化學氣相沈積法形成。

6.如申請專利範圍第1項所述之製造方法,其中所述『垂直單向性蝕刻』是利用磁場增強活性離子式電漿蝕刻技術(Magnetic Enhanced Reactive Ion Etching; MERIE)或電子迴旋共振電漿蝕刻技術(Electron Cyclotron Resonance; ECR)或傳統的活性離子式電漿蝕刻技術(Reactive Ion Etching; RIE)等電漿蝕刻技術。

7.一種堆疊式動態隨機存取記憶體(DRAM)的製造方法,係包含下列步驟:

在矽半導體晶圓上(Silicon Semiconductor Wafer)形成『金氧半場效電晶體』(MOSFET)與字語線(Word Line);

形成『第一介電層』(First Dielectric)和『第二介電層』(Second Dielectric),並平坦化所述『第二介電層』;

利用微影技術與蝕刻技術蝕去所述『第一介電層』和『第二介電層』以形成源極接觸窗(Node Contact Hole),所述蝕刻終止於『矽半導體晶圓』,所述『源極接觸窗』之寬度等於微影解析的極限;

形成一層『第一複晶矽層』(First Polysilicon)和『第三介電層』(Third Dielectric),所述『第一複晶矽層』填滿所述『源極接觸窗』;

利用微影技術在所述『源極接觸窗』上方形成第一光阻圖案(First Photoresist Pattern);利用蝕刻技術側向的(Lateral Etch)蝕去所述『第一光阻圖案』,使得所述『第一光阻圖案』之寬度小於微影解析的極限;

利用蝕刻技術垂直單向性的蝕去被所述『第一光阻圖案』覆蓋以外區域的所述『第三介電層』,所述蝕刻終止於所述『第一複晶矽層』;

去除所述『第一光阻圖案』;

利用所述『第三介電層』作為所述氧化保護罩,在含氧氣的高溫環境中氧化(Oxidized)所述『第一複晶矽層』以在所述『第三介電層』以外的區域形成複晶矽氧化層(Poly-Oxide);

去除所述『第三介電層』;

利用所述『複晶矽氧化層』作為蝕刻保護罩,再利用蝕刻技術『垂直單向性的』的蝕去所述『第一複晶矽層』至一適當深度(To A Certain Depth);

去除所述『複晶矽氧化層』以在所述『源極接觸窗』上方的所述『第一複晶矽層』表面形成一個深凹槽(Deep Trench),所述『深凹槽』之寬度小於積體電路設計準則的最小尺寸(Minimum Dimension),也小於微影解析的極限;

利用微影技術和蝕刻技術蝕去所述『深凹槽』以外之所述『第一複晶矽層』以形成電容器的電荷儲存電極(Storage Node);

形成一層電容器介電層(Capacitor Dielectric)和『第二複晶矽層』(Second Doped Polysilicon);

利用微影技術和蝕刻技術蝕去所述『電容器介電層』和『第二複晶矽層』,以形成電容器的上層電極(Top Plate)。

8.如申請專利範圍第7項所述之製造方法,其中所述『金氧半場效電晶體』含有含有閘氧化層(Gate Oxide)、閘極(Gate Electrode)與源極/汲極(Source/Drain)。

9.如申請專利範圍第7項所述之製造方法,其中所述『第一介電層』是由氮化矽(Silicon Nitride)組成,其厚度介於800埃到1500埃之間。

10.如申請專利範圍第7項所述之製造方法,其中所述『第二介電層』是由二氧化矽(Silicon Dioxide)組成,其厚度介於3000埃到8000埃之間。

11.如申請專利範圍第7項所述之製造方法,其中所述『第三介電層』是由氮化矽(Silicon Nitride)組成,其厚度介於500埃到1000埃之間。

12.如申請專利範圍第7項所述之製造方法,其中所述『第一複晶矽層』是由低壓化學氣相沉積法形成,其厚度介於4000埃到8000埃之間。

13.如申請專利範圍第7項所述之製造方法,其中所述『第二複晶矽層』是由低壓化學氣相沉積法形成,其厚度介於1000埃到2500埃之間。

14.如申請專利範圍第7項所述之製造方法,其中所述之去除所述『複晶矽氧化層』,是利用氫氟酸溶液(HF),並且,去除所述『複晶矽氧化層』時,也可以同時去除所述『第二介電層』。

15.如申請專利範圍第7項所述之製造方法,其中所述『電容器介電層』是由氧化氮化矽(Oxynitride)、氮化矽(Silicon Nitride)和二氧化矽(Silicon Dioxide)所組成,或由Ta₂O₅所組成。

16.如申請專利範圍第7項所述之製造方法,其中所述『垂直單向性蝕刻』是利用磁場增強式活性離子式電漿蝕刻技術(Magnetic Enhanced Reactive Ion Etching; MERIE)或電子迴旋共振電漿蝕刻技術(Electron Cyclotron Resonance; ECR)或傳統的活性離子式電漿蝕刻技術(Reactive Ion Etching; RIE)等電漿蝕刻技術。

圖示簡單說明:

第一圖是先前技藝之製程剖面示意圖(Process Cross Section)。

第二圖到第十九圖是本發明之實施例(Embodiment)的製程剖面示意圖。

第一圖是堆疊式動態隨機存取記憶體之先前技藝(Prior Art)的製程剖面示意圖,其各層編號跟第十九圖之編號相同,其中,24C是由複晶矽組成之電容器之『電荷儲存電極』(Storage Node)。

第二圖是在矽半導體晶圓上形成『金氧半場效電晶體』後的製程剖面示意圖;

第三圖是沉積『第一介電層』和『第二介電層』,並平坦化所述『第二介電層』後的製程剖面示意圖;

第四圖是利用微影技術和電漿蝕刻技術去所述『第一介電層』和『第二介電層』以形成『源極接觸窗』後的製程剖面示意圖;

第五圖是沈積一層『撻雜的第一複晶矽層』後的製程剖面示意圖,所述『撻雜的第一複晶矽層』填滿所述『源極接觸窗』;

第六圖是沈積一層『第三介電層』(Third Dielectric),並利用微影技術在所述『源極接觸窗』上方形成第一光阻圖案(First Photoresist Pattern)後的製程剖面示意圖,且所述『第一光阻圖案』之寬度等於積體電路設計準則的最小尺寸;

第七圖利用電漿蝕刻技術側向的(Lateral Etch)蝕去所述『第一光阻圖案』後的製程剖面示意圖,使得所述『第一光阻圖案』之寬度比積體電路設計準則的最小尺寸還小;

第八圖是利用電漿蝕刻技術蝕去被所述『第一光阻圖案』覆蓋以外區域的所述『第三介電層』後的製程剖面示意圖,所述蝕刻終止於所述『撻雜的第一複晶矽層』;

第九圖是去除所述『第一光阻圖案』後的製程剖面示意圖;

第十圖是以所述所述『第三介電層』作為所述氧化保護罩,在含氧氣的高溫環境中氧化(Oxidized)所述『撻雜的第一複晶矽層』以在所述『第三介電層』以外的區域形成複晶矽氧化層(Poly-Oxide)後的製程剖面示意圖;

第十一圖是去除所述『第三介電層』後的製程剖面示意圖;

第十二圖是以所述『複晶矽氧化層』作為蝕刻保護罩,利用電漿蝕刻技術『垂直單向性的』蝕去所述『撻雜的第一複晶矽層』至一適當深度(To A Certain Depth)後的製程剖面示意圖;

第十三圖是去除所述『複晶矽氧化層』後的製程剖面示意圖;

第十四圖是利用微影技術第二光阻圖案(Second Photoresist Pattern)後的製程剖面示意圖;

第十五圖是利用電漿蝕刻技術蝕去『電容器區域』以外之具有『深凹槽』之所述『撻雜的第一複晶矽層』以形成電容器的電荷儲存電極(Storage Node)後的製程剖面示意圖;

第十六圖是去除所述『第二光阻圖案』

第十七圖是在所述『電荷儲存電極』的表面形成一層電容器介電層(Capacitor Dielectric)後的製程剖面示意圖;

第十八圖是沈積一層『撻雜的第二複晶矽層』(Second Doped Polysilicon)後的製程剖面示意圖;

第十九圖是利用微影技術和蝕刻技術蝕去所述『電容器介電層』和『撻雜的第二複晶矽層』,以形成電容器的上層電極(Top Electrode)後的製程剖面示意圖。

專利相關圖形檔: [附圖 1] [附圖 2] [附圖 3] [附圖 4] [附圖 5] [附圖 6] [附圖 7] [附圖 8] [附圖 9] [附圖 10]

專利相關公告: 資料庫中無相關雜文。

開始連線時間:08:30:02 斷線時間:08:30:02 連線時間:1秒

[資料庫登入](#)

[輸入查詢條件](#)

[查詢結果統計](#)

[查詢結果瀏覽](#)

[專利公報全文](#)

本系統使用 [Apipa Patent Search Engine 1.1版](#)

資料來源: 智慧財產局

專案執行: [A P I P A](#)

本資料僅供參考, 所有資訊以經濟部智慧財產局專利公報為準。

(C) COPYRIGHT 1998 APIPA

中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考, 所有資訊以經濟部智慧財產局專利公報為準。###

資料來源: 智慧財產局

專案執行: APIPA

(4)

7

準則的最小尺寸縮小;

第八圖是利用電漿蝕刻技術蝕去被所述「第一光阻圖案」覆蓋以外區域的所述「第三介電層」後的製程剖面示意圖, 所述蝕刻終止於所述「掩埋的第一複晶矽層」;

第九圖是去除所述「第一光阻圖案」後的製程剖面示意圖;

第十圖是以所述所述「第三介電層」作為所述氧化保護罩, 在含氧氣的高溫環境中氧化 (Oxidized) 所述「掩埋的第一複晶矽層」以在所述「第三介電層」以外的區域形成複晶矽氧化層 (Poly-Oxide) 後的製程剖面示意圖;

第十一圖是去除所述「第三介電層」後的製程剖面示意圖;

第十二圖是以所述「複晶矽氧化層」作為蝕刻保護罩, 利用電漿蝕刻技術「垂直定向性的」蝕去所述「掩埋的第一複晶矽層」至一適當深度 (To A Certain Depth) 後的製程剖面示意圖;

第十三圖是去除所述「複晶矽氧化層」後的製程剖面示意圖;

8

第十四圖是利用微影技術第二光阻圖案 (Second Photoresist Pattern) 後的製程剖面示意圖;

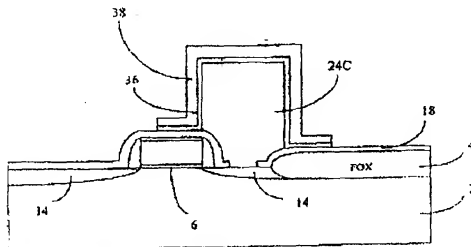
第十五圖是利用電漿蝕刻技術蝕去「電容區區域」以外之具有「深凹槽」之所述「掩埋的第一複晶矽層」以形成電容器的電荷儲存電極 (Storage Node) 後的製程剖面示意圖;

第十六圖是去除所述「第二光阻圖案」;

第十七圖是在所述「電荷儲存電極」的表面形成一電容矽介電層 (Capacitor Dielectric) 後的製程剖面示意圖;

第十八圖是比積一層「掩埋的第二複晶矽層」(Second Doped Polysilicon) 後的製程剖面示意圖;

第十九圖是利用微影技術和蝕刻技術蝕去所述「電容矽介電層」和「掩埋的第二複晶矽層」, 以形成電容器的上層電極 (Top Electrode) 後的製程剖面示意圖。



第一圖

— 1326 —

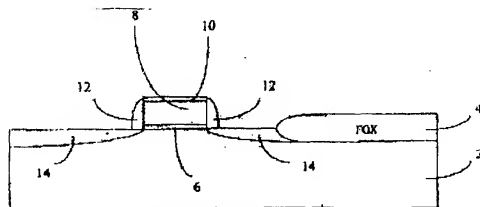
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

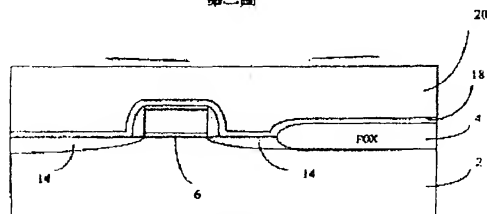
資料來源：智慧財產局

專案執行：APIPA

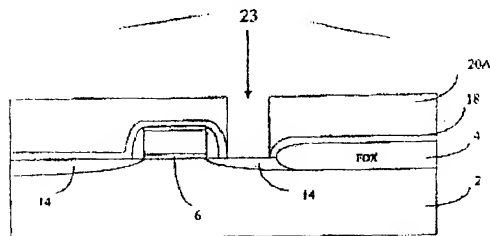
(5)



第二圖



第三圖



第四圖

- 1327 -

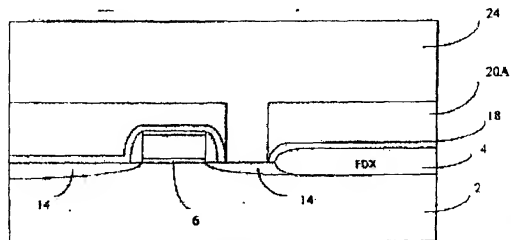
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

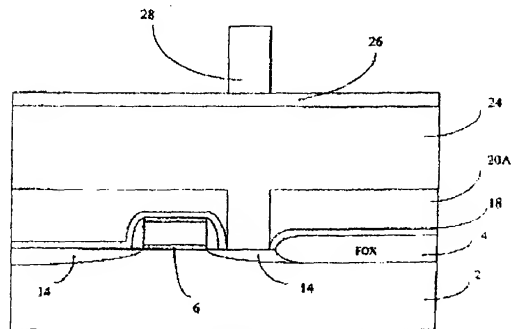
資料來源：智慧財產局

專案執行：A P I P A

(4)



第五圖



第六圖

專案執行：A P I P A

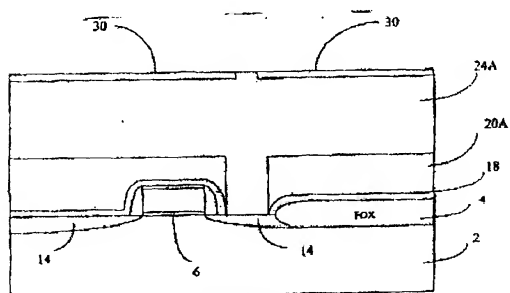
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。###

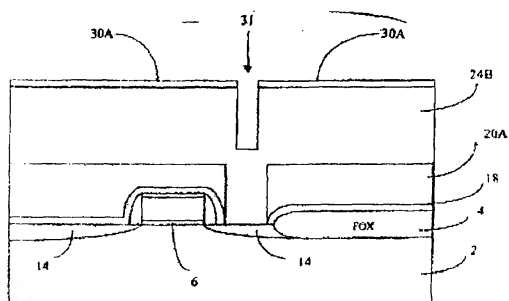
資料來源：智慧財產局

專案執行：APIPA

(9)



第十一圖



第十二圖

-1331-

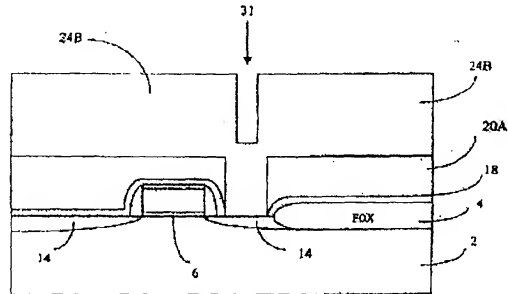
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

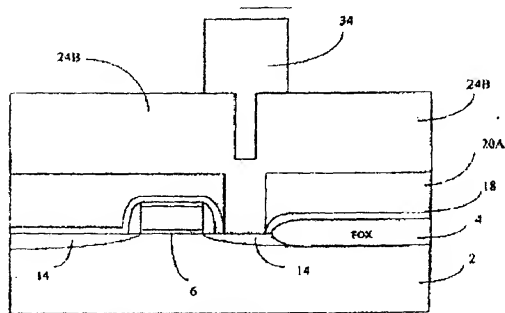
資料來源：智慧財產局

專案執行：APIPA

(10)



第十三圖



第十四圖

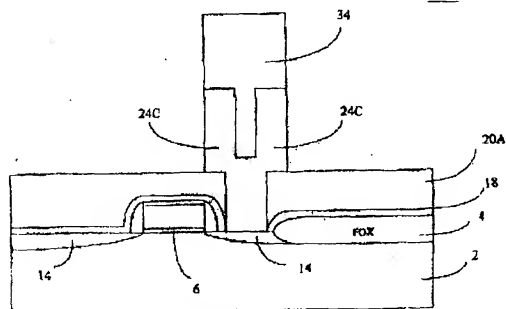
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。###

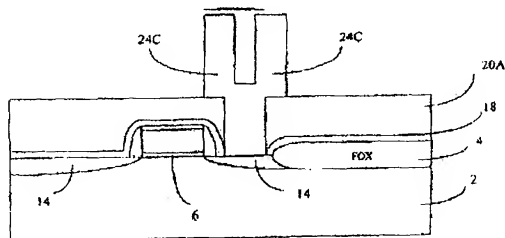
資料來源：智慧財產局

專案執行：APIPA

(11)



第十五圖



第十六圖

— 1333 —

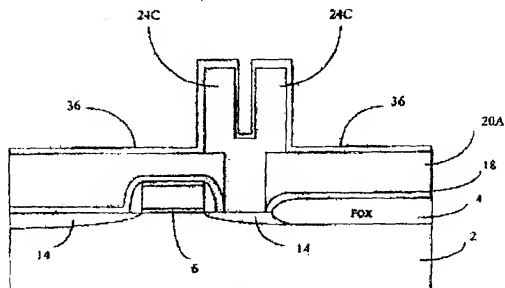
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

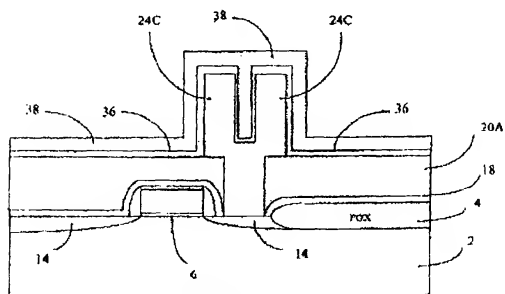
資料來源：智慧財產局

專案執行：A P I P A

(12)



第十七圖



第十八圖

— 1334 —

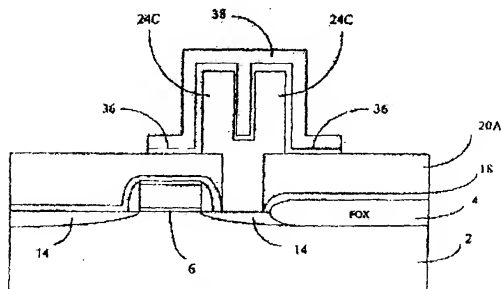
中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考, 所有資訊以經濟部智慧財產局專利公報為準。

資料來源: 智慧財產局

專案執行: A P I P A

(13)



第十九圖

-- 1335 --